

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 63-300518

(43)Date of publication of application : 07.12.1988

(51)Int.Cl.

H01L 21/318

(21)Application number : 62-136791

(71)Applicant : FUJITSU LTD

(22)Date of filing : 29.05.1987

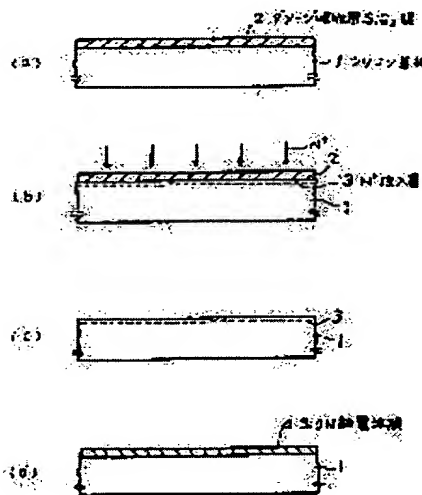
(72)Inventor : EIFUKU SHIYUUMA
HIZUYA KENICHI
SHIOTANI YOSHIMI

(54) FORMATION OF DIELECTRIC FILM

(57)Abstract:

PURPOSE: To form a dielectric film of high quality having high permittivity and generating no deterioration in breakdown strength in the stepped part, by implanting nitrogen ions into the silicon substrate surface through an insulating film for removing the insulating film followed by thermal oxidation of the silicon substrate surface in order to grow an SiON dielectric film on the substrate surface.

CONSTITUTION: An SiO₂ film 2 for absorbing damage is formed on a silicon substrate 1. Next, nitrogen N⁺ ions implanted into the surface part of the silicon substrate 1 through the SiO₂ film 2 for absorbing damage in order to form an N⁺ implantation layer 3. The SiO₂ film 2 for absorbing damage is removed giving no damage on the surface of the substrate 1 for exposing the surface of the silicon substrate 1 having the N⁺ implantation layer 3 on the surface part. Next, a silicon oxynitride SiON dielectric film 4 is made to grow by eating the N⁺ implantation layer 3 having no damage on the surface of the silicon substrate 1. The whole of the SiON dielectric film 4 formed in this way has a uniform SiON composition having the very finely formed film quality can also obtain high dielectric constant without generating deterioration in dielectric breakdown strength due to difference in level.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the
examiner's decision of rejection or application
converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of
rejection][Date of requesting appeal against examiner's decision
of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑫ 公開特許公報(A)

昭63-300518

⑤ Int. Cl.⁴
H 01 L 21/318識別記号 庁内整理番号
6708-5F

⑬ 公開 昭和63年(1988)12月7日

審査請求 未請求 発明の数 1 (全4頁)

⑭ 発明の名称 誘電体膜の形成方法

⑮ 特 願 昭62-136791

⑯ 出 願 昭62(1987)5月29日

⑰ 発 明 者 栄 福 秀 馬 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内⑱ 発 明 者 日 数 谷 健 一 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内㉑ 発 明 者 塩 谷 喜 美 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

㉒ 出 願 人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

㉓ 代 理 人 弁理士 井 桁 貞一

明 細 書

1. 発明の名称

誘電体膜の形成方法

2. 特許請求の範囲

(1) シリコン基体上に絶縁膜を形成し、

該絶縁膜を通して該シリコン基体面に窒素をイオン注入し、

該絶縁膜を除去し、

該窒素の注入されたシリコン基体の表面を熱酸化して該シリコン基体の表面にシリコンオキシナイトライド膜を形成することを特徴とする誘電体膜の形成方法。

(2) 上記窒素のイオン注入における射影飛程を上記絶縁膜とシリコン基体との界面に一致させることを特徴とする特許請求の範囲第1項記載の誘電体膜の形成方法。

3. 発明の詳細な説明

〔概 要〕

表面に形成した薄い絶縁膜を通してシリコン基体面へ窒素をイオン注入し、イオン注入によるダメージを受けた上記絶縁膜を除去することによって、窒素が注入され且つダメージの少ないシリコン基体面を表出せしめ、該シリコン基体面を熱酸化することによって、該シリコン基体面にシリコンオキシナイトライドよりなる高誘電率、高耐圧の誘電体膜を形成する。

〔産業上の利用分野〕

本発明は誘電体膜の形成方法に係り、特に誘電率が大きく且つ絶縁耐圧の高い誘電体膜の形成方法に関する。

ダイナミックランダムアクセスメモリ(DRAM)が高集積化され、該DRAMのビットセルの面積が縮小されるに伴って、各ビットセルが具備するキャパシタの面積も大幅に縮小されて来ている。

かかる状況において、情報読出し精度の低下を防ぎ、且つソフトエラー等による情報の反転を防

止して該DRAMの信頼度を高めるために、上記キャパシタの蓄積容量の増大が要望される。

(従来の技術)

キャパシタの占有面積を増さずにその蓄積容量即ちキャパシタ容量を増大する一手法として、誘電体膜を薄く形成し、且つ該誘電体膜の誘電率を向上せしめる方法がある。

従来その一例として、一般に用いられていた二酸化シリコン(SiO_2)膜にかえて該 SiO_2 膜の2倍程度の高い誘電率を有する窒化シリコン(Si_3N_4)膜を用い、且つ該 Si_3N_4 膜を僅かに酸化し該 Si_3N_4 膜の耐圧向上を図る方法が用いられた。

一方キャパシタ容量増大のために誘電体膜を薄くする手法が用いられるが、上記のように形成された Si_3N_4 膜にはその厚さが100Å以下になった場合に段差部上における該 Si_3N_4 膜の耐圧が急激に劣化するという欠点があるため、この方法で誘電体膜を形成しキャパシタ容量を増大せしめたDRAMにはキャパシタの初期ショート不良が発生し

易いという問題があった。

そこで段差部での耐圧劣化を防止するために、 SiO_2 膜の表層部をアンモニアガスを用いる熱酸化等の方法により Si_3N_4 膜化する方法も試みられたが、この方法は Si_3N_4 膜の膜厚が非常に薄くしか形成されず、膜全体としての誘電率が SiO_2 膜に比べて僅かしか増大しないために、容量の増加率が小さく実用的ではなかった。

(発明が解決しようとする問題点)

本発明が解決しようとする問題点は、上記のように従来の方法においては、薄く形成した際の段差部における絶縁耐圧の劣化が SiO_2 膜と同程度に少なく、且つ SiO_2 膜に比べて誘電率が大幅に高い誘電体膜が得られなかったことである。

(問題点を解決するための手段)

上記問題点は、シリコン基体上に絶縁膜を形成し、該絶縁膜を通して該シリコン基体面に窒素をイオン注入し、該絶縁膜を除去し、該窒素の注入

されたシリコン基体の表面を熱酸化して該シリコン基体の表面にシリコンオキシナイトライド膜を形成する本発明による誘電体膜の形成方法によって解決される。

(作用)

即ち本発明の方法は、絶縁膜を通してシリコン基体面に窒素をイオン注入することによって、イオンの衝撃によるダメージを該絶縁膜で吸収して該シリコン基体面にダメージを与えずに窒素を注入し、上記絶縁膜を除去した後、窒素の注入されたシリコン基体面を熱酸化して該基体面にダメージのない緻密な SiON 誘電体膜を成長させる方法で、シリコン基体面に誘電率が高く、且つ薄く形成した際にも段差部における耐圧劣化を生じない高品質の誘電体膜が形成される。

(実施例)

以下本発明を、図示実施例及び応用例により具体的に説明する。

第1図(a)~(d)は本発明の方法の一実施例の工程断面図、第2図(a)~(f)はDRAMセル製造への応用例の工程断面図である。

全図を通じ同一対象物は同一符号で示す。

第1図(a)参照

本発明の方法による誘電体膜の形成方法においては、例えば所望の導電型を有するシリコン基板1上に通常の熱酸化法により厚さ1000~2000Å程度のダメージ吸収用 SiO_2 膜2を形成する。

なお上記ダメージ吸収用 SiO_2 膜は気相成長法によって形成してもよい。またダメージ吸収用絶縁膜は上記 SiO_2 膜に限られない。

第1図(b)参照

次いで上記ダメージ吸収用 SiO_2 膜2を通してシリコン基板1の表面部に窒素(N^+)を例えば加速エネルギー100keV、ドーズ量 10^{22}cm^{-2} 程度の注入条件でイオン注入する。このイオン注入によりシリコン基板1の表面部に深さ例えば数10Å程度の N^+ 注入層3を形成する。

なおこのイオン注入において、 N^+ の射影飛程

(R_p) がダメージ吸収用 SiO_2 膜2とシリコン基板1との界面にくるように加速エネルギーの値を選ぶことが、注入効率を高め且つシリコン基板1面のダメージをなくすうえに最も望ましい。

第1図(c)参照

次いで通常のウエットエッチング手段により、基板1面にダメージを与えずにダメージ吸収用 SiO_2 膜2を除去し上記 N^+ 注入層3を表面部に有するシリコン基板1面を表出させる。

第1図(d)参照

次いで酸素(O_2)中で1000℃程度の温度で行われる通常の熱酸化法により、上記シリコン基板1面に上記ダメージのない N^+ 注入層3を食って例えば厚さ50~100 Å程度のシリコンオキシナイトライド($SiON$)誘電体膜4を成長させる。

この実施例に示されるように本発明の方法においてはシリコン基板1の表面にダメージのない N^+ 注入層3が形成され、該 N^+ が注入されたシリコン基板面を熱酸化することによってシリコン基板1の表面に $SiON$ 誘電体膜4が成長せしめられ

る。

このようにして形成した $SiON$ 誘電体膜4は全体が一様な $SiON$ 組成となっているので、従来高耐压誘電体膜として一般に用いられていた SiO_2 誘電体膜に比べて1.5倍程度の高い誘電率が得られる。

また上記実施例に示されるように該 $SiON$ 誘電体膜4は熱酸化法により形成されるので、膜質は極めて緻密に形成され、50~100 Å程度に薄く形成しても絶縁耐圧は十分に確保される。また急峻な段差部においても膜質が低下することがなく、該段差による絶縁耐圧の劣化は生じない。

以下本発明の方法をスタックドキャパシタを有するDRAMセルの誘電体膜形成に応用した例について、図を参照して示す。

第2図(a)参照

予め従来の方法により、例えばp型シリコン(Si)基板51上に素子形成領域52を画定するフィールド酸化膜53を形成し、素子形成領域52上にゲート酸化膜54を形成し、ゲート酸化膜54及びフィールド酸化膜53上に延在するポリSiのワード線55

A、55B、55C等を形成し、これらワード線の側面に整合する n^+ 型のドレイン領域56及びソース領域57を形成し、ワード線55A、55B、55C等の表面を第1の層間絶縁膜58で選択的に覆った後、通常の方法により、先ずキャパシタ側の拡散層となるソース領域57上に隣接するワード線の上部まで延在する n^+ 型ポリSi蓄積電極59を形成する。

第2図(b)参照

次いで本発明の方法に従って、熱拡散によりポリSi蓄積電極59の表面に厚さ1000~2000 Å程度のダメージ吸収用 SiO_2 膜2を形成する。

第2図(c)参照

次いで該基板上にレジスト膜を形成し、異方性ドライエッチング手段により全面エッチングしてドレイン領域56の上部を選択的に覆うレジスト膜60を形成し、次いでダメージ吸収用 SiO_2 膜2を通し、前記実施例と同様な条件で N^+ をイオン注入し、ポリSi蓄積電極59の表面部にダメージのない N^+ 注入層3を形成する。

第2図(d)参照

次いで、ウエットエッチング手段により、ポリSi蓄積電極59の表面部にダメージを与えないようにダメージ吸収用 SiO_2 膜2を除去する。

第2図(e)参照

次いで前記実施例同様1000℃程度の熱酸化により前記ダメージのない N^+ 注入層3を食ってポリSi蓄積電極59の表面に厚さ50~100 Å程度の高品質の $SiON$ 誘電体膜4を形成する。

第2図(f)参照

以後、従来の方法によりキャパシタの対向電極(セルプレート)61を形成し、第2の層間絶縁膜62を形成し、該層間絶縁膜62にコンタクト窓63を形成し、アルミニウム等よりなるビット配線64を形成し、カバー絶縁膜65の形成等がなされて本発明を^{適用}提^要したDRAMセルが完成する。

(発明の効果)

以上説明のように本発明によれば高誘電率、高絶縁耐圧を有し、且つ急峻な段差部においても絶縁耐圧の劣化を生じない高品質の誘電体膜が形成

できる。

従って本発明は高集積化されるDRAMの高信頼化に有効である。

4. 図面の簡単な説明

第1図(a)~(d)は本発明の方法の一実施例の工程断面図、

第2図(a)~(f)は本発明の方法のDRAMへの応用例の工程断面図である。

図において、

1 はシリコン基板、

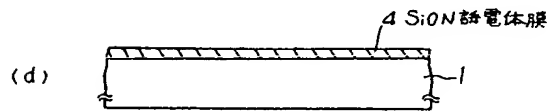
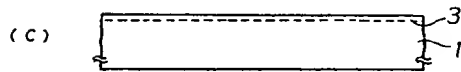
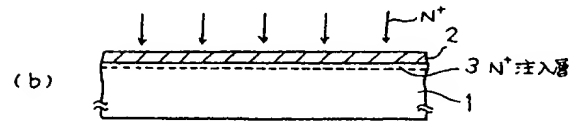
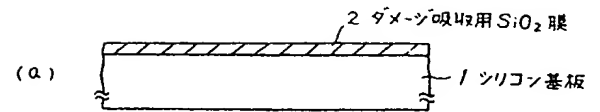
2 はダメージ吸収用 SiO_2 膜、

3 は N^+ 注入層、

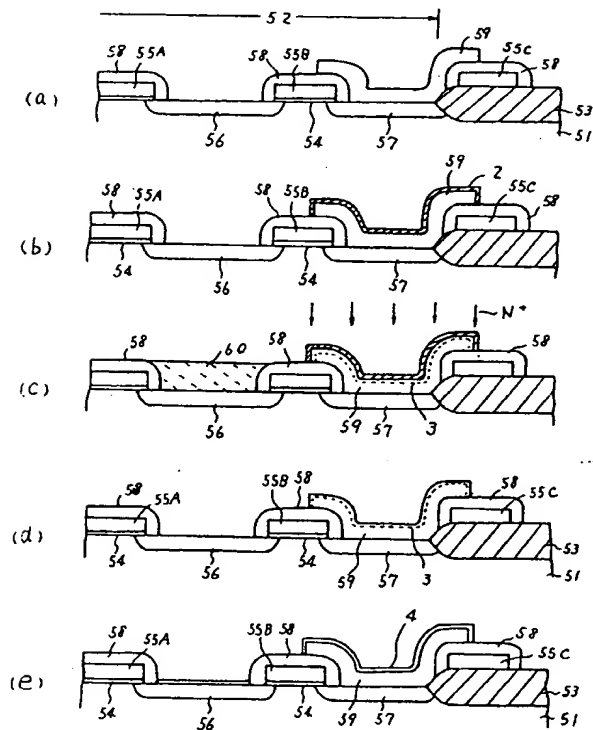
4 は SiON 誘電体膜

N^+ は窒素イオン

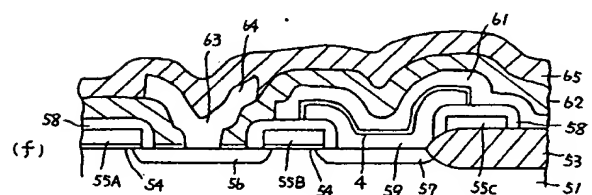
を示す。



本発明の方法の一実施例の工程断面図
第 1 図



本発明の方法のDRAMへの応用例の工程断面図
第 2 図



本発明の方法のDRAMへの応用例の工程断面図
第 2 図